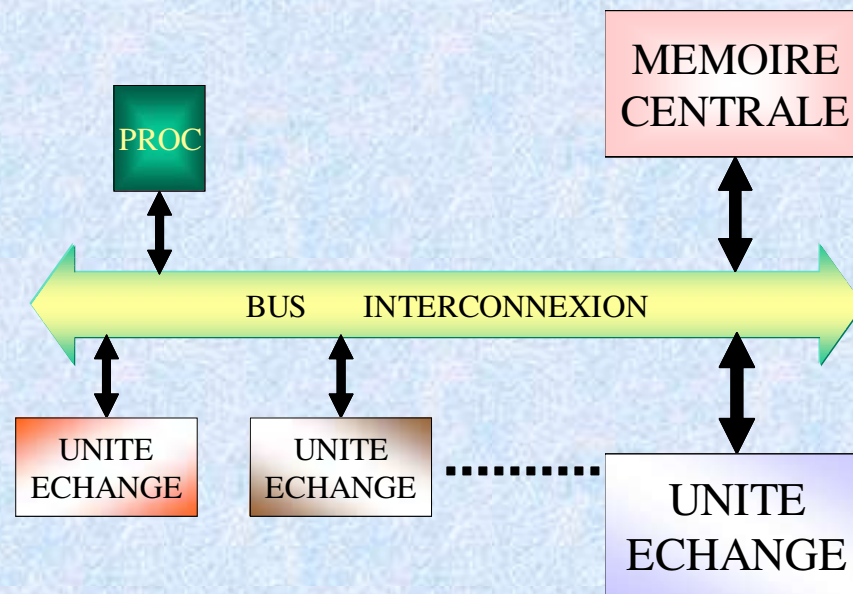


Les Mémoires

- Assemblage de Transistors et condensateurs
- Circuit décodeur d'adresse
- Exploitées pour construire les
 - registres du processeur,
 - la mémoire centrale,
 - les ports d'Entrées / Sorties (Unité d'Echange)

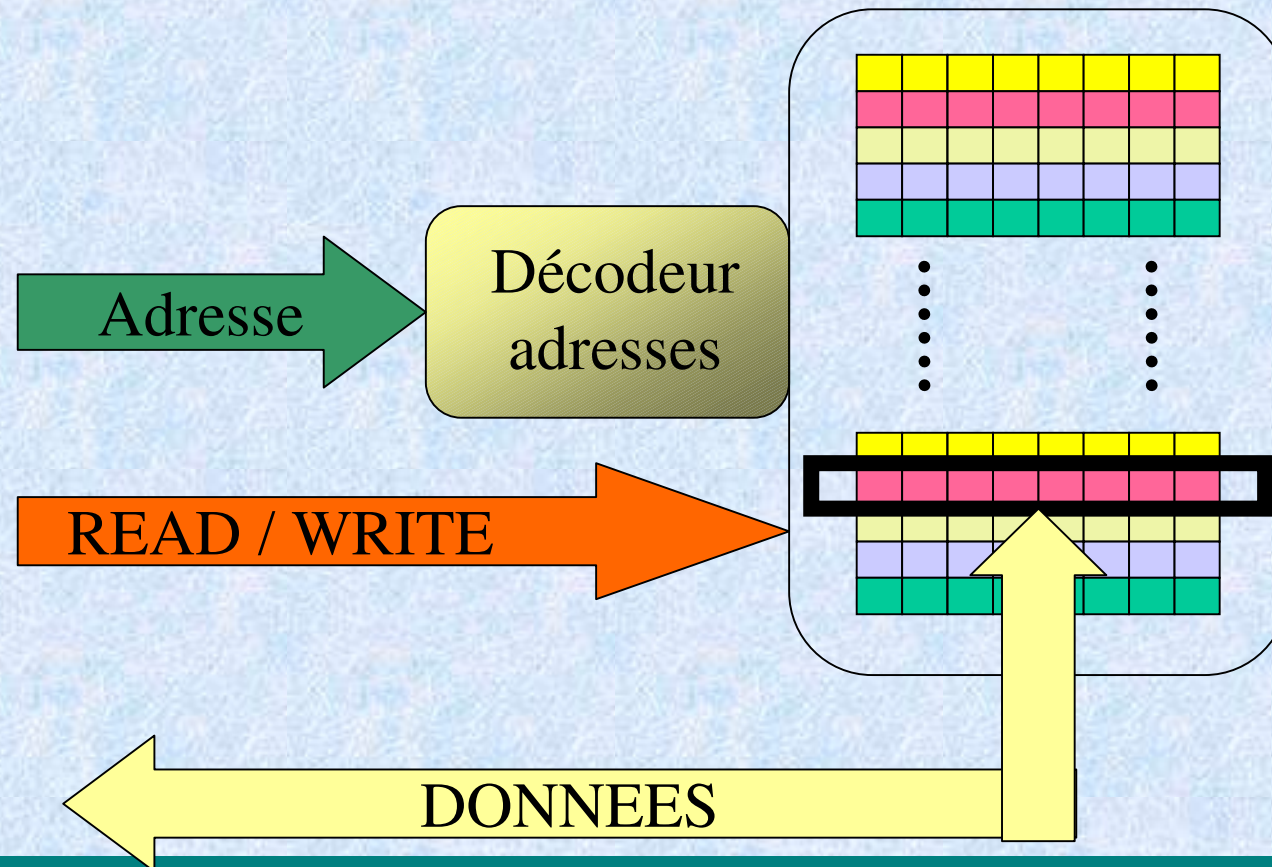


Les Mémoires

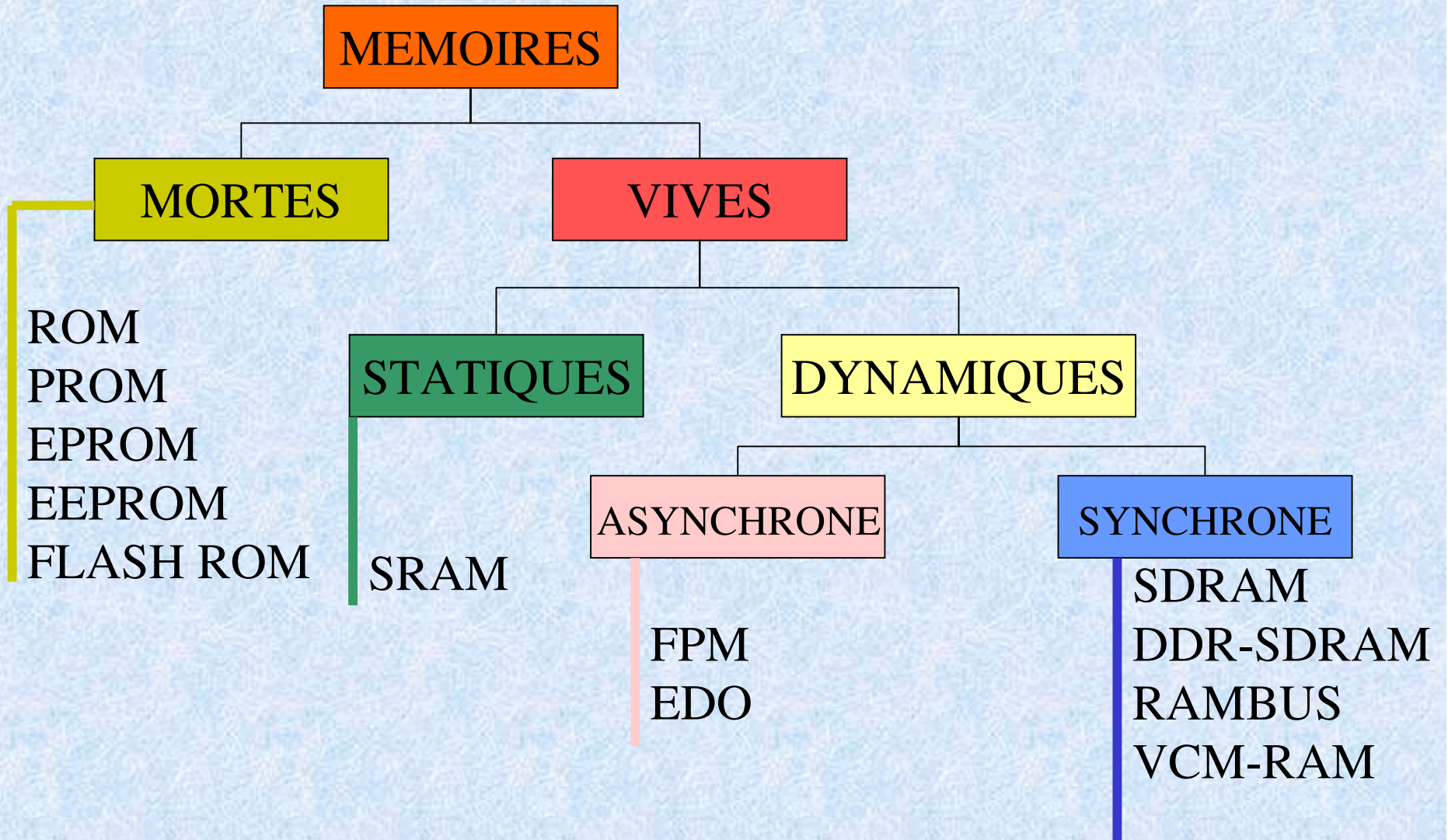
Sur détection d'une adresse en entrée le décodeur sélectionne le mot mémoire

Si signal Read *alors* restitution du mot mémoire en sortie

Si signal Write *alors* modification du mot mémoire



Classification des mémoires



Caractéristiques des mémoires

- **Mémoires mortes**

- Mémoires conservant l'information en l'absence d'alimentation électrique (ROM,PROM)
- Effaçables par rayons UV (EPROM) ou par un niveau électrique (EEPROM)
- « Flash ROM » mémoire récente de type EEPROM mais de dimension réduite
- « ROM BIOS » mémoire contenant le programme d'amorce d'un système :
 - Le programme de chargement est contenu dans une mémoire FLASH,
 - Les paramètres système (type de disque....) sont maintenus dans une NVRAM (non volatile RAM) alimentée par une batterie au Lithium

Caractéristiques des mémoires

- **Mémoires vives (Random Access Memory)**
 - Mémoires ne conservant pas l'information en l'absence d'alimentation électrique
 - **Static RAM** ne nécessitent pas de rafraichissement (conserve l'information pendant plusieurs heures)
 - **Dynamic RAM** nécessitent un rafraichissement de l'information plusieurs fois par seconde
 - **Mémoire asynchrone** : le processeur ne peut pas engager un nouvel accès tant que l'accès précédent n'est pas achevé
 - **Mémoire synchrone** : le processeur peut engager des accès consécutifs même si l'accès précédent n'est pas achevé

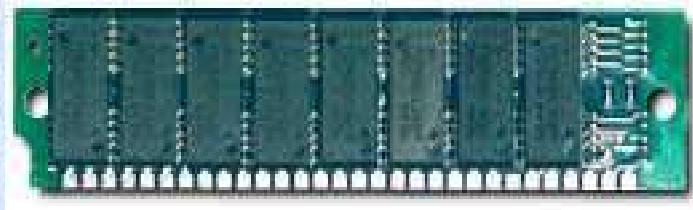
Caractéristiques des mémoires

- **Exemples de mémoire asynchrones**
 - FPM Fast Page Mode (80486, Pentium)
 - EDO Extended Data Out (Pentium MMX, K6,K6-2)
 - BEDO Burst EDO (rivalisée par la SDRAM)
- **Exemples de mémoires synchrones**
 - SDRAM (Synchronous DRAM - 66,100,133 Mhz)
 - SGRAM (SDRAM cartes graphiques)
 - DDR SDRAM (Double Data Rate)
 - FCRAM (Fast Cycle)
 - Rambus : technologie mémoire propriétaire Intel 1999
 - VCMRAM (Virtual Channel Memory) NEC 1999

Caractéristiques Mémoires

- Largeur des mots
 - 8 bits, 16 bits, 32 bits, 64 bits
- Conditionnement
 - SIMM : Single Inline Memory Module
 - DIMM : Dual Inline Memory Module
- Contrôle d'erreur
 - ECC non ECC ajout d'un contrôle de parité sur les octets mémoire
- Tension électrique
 - 5V , 3V
- Capacité mémoire
 - Mémoire cache processeur L1 et L2 en Ko,
 - Mémoire centrale SDRAM en Mo voire Go,
 - Mémoire virtuelle adressable par le proc To

Exemples de mémoires



Mémoire SIMM 30 broches
16 bits (80486 Pentium)



Mémoire SIMM 72 broches
32 bits (Pentium)



Mémoire DIMM 168 broches
64 bits (Pentium MMX, P2, P3, P4)

Les bus d'interconnexion

- Architecture classique

- **BUS ADRESSES**

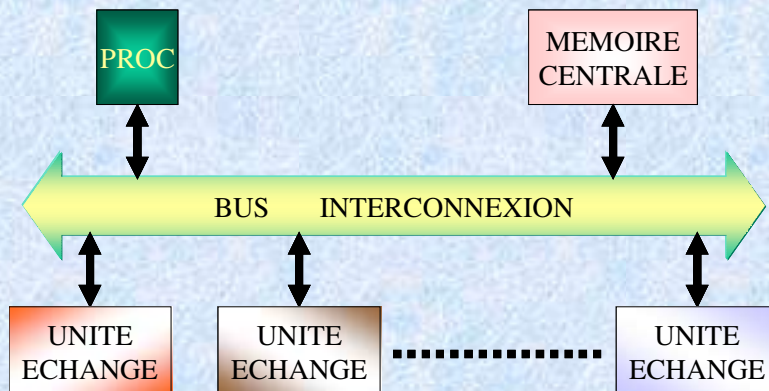
- Sélection (adressage) des mots de la mémoire centrale

- **BUS DONNEES**

- Transporte les données à lire ou écrire en MC, mais également dans les ports d'E/S associés aux unités d'échange

- **BUS COMMANDES**

- Alimentation des composants
 - Signaux horloge, Read/Write,
 - Signaux Chip Select, Interruption
 -



Caractéristiques des BUS

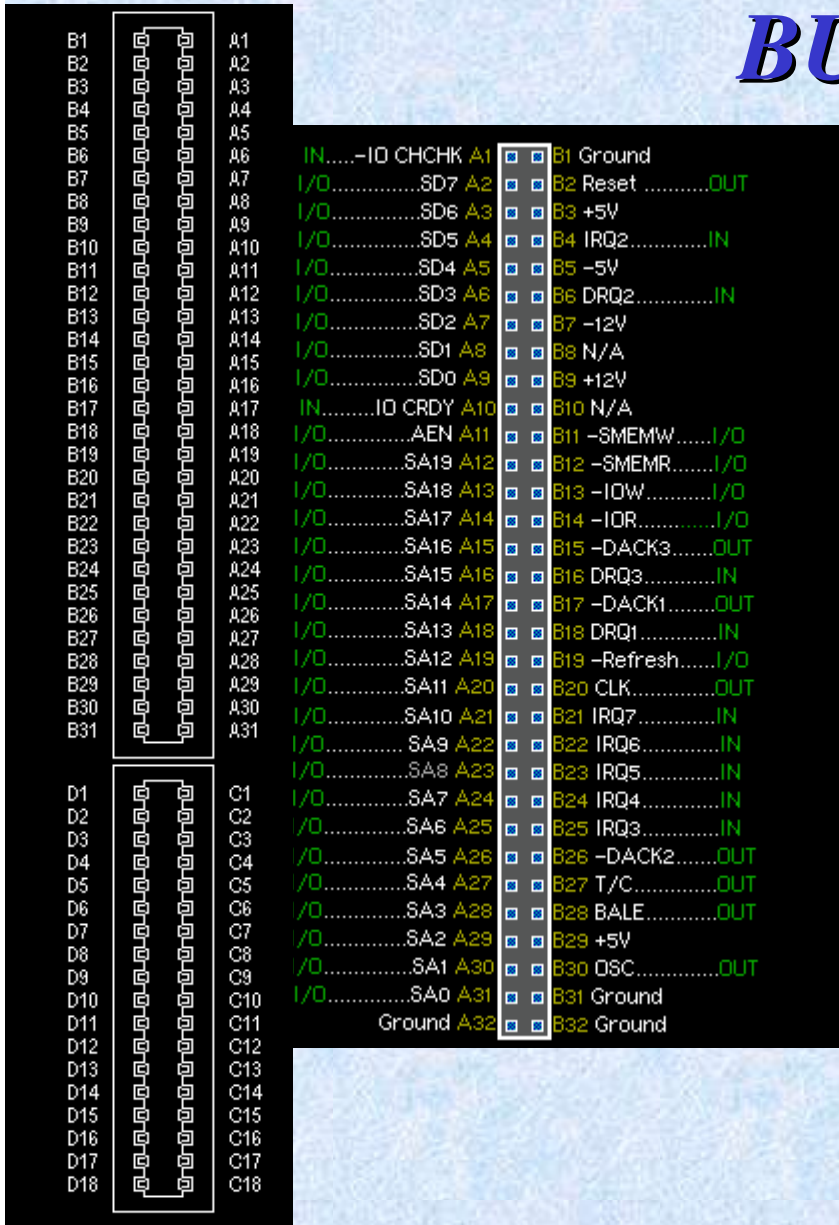
- ***Largeur bus d'adresse***
 - conditionne l'espace mémoire adressable
- ***Largeur bus de données***
 - conditionne le nombre d'accès nécessaire pour transporter une data d'un endroit à l'autre
- ***Vitesse d'horloge***
 - déterminer le débit offert aux unités
- ***Multiplexé ou non***
 - Les mêmes lignes physiques sont utilisées pour transporter des informations différentes
- ***Hot Swap***
 - Supporte le raccordement de nouveaux périphériques sans que la machine soit arrêtée
- ***Plug & Play***
 - Assure la reconnaissance des unités d'échanges sans devoir configurer manuellement les adresses d'E/S et d'interruption

Les BUS des architectures PC

- **ISA** *Industry Standard Architecture*
- **EISA** *Extended Industry Standard Architecture*
- **MCA** *Multi Channel Architecture*
- **VLB** *Video Electronics Standard Association Local Bus*
- **PCI** *Peripheral Connect Interconnection*
- **AGP** *Accelerated Graphics Port*
- **USB** *Universal Serial Bus*
- **FireWire (Apple) ou IEEE 1394 ou i-link (Sony)**
- **Bus PC-card (interface PCMCIA)**

Objectif : Répondre aux évolutions des architectures tout en tenant compte de l'existant

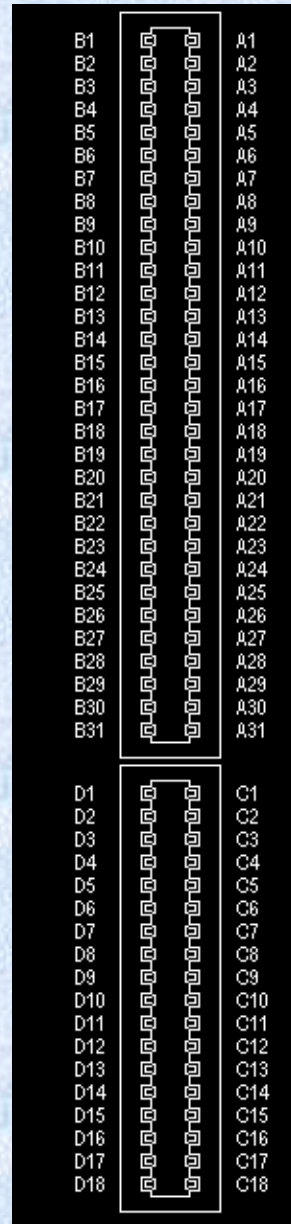
BUS ISA



- *Développé pour les PC d'IBM*
- *Bus de données :*
 - *8 bits pour les IBM PC 8086*
 - *16 bits en 1984 IBM AT 80286*
- *Bus d'adresses :*
 - *16 Mo de mémoire*
- *Fréquence 8 Mhz*
- *Bande passante 5,3 Mo /s*
- *15 interruptions (sans partage)*
- *7 canaux DMA*
- *un maître unique du bus*

BUS EISA

- *Date 1988*
- *extension 32 bits du bus ISA pour processeurs de type 386 et 486.*
- *Bus de données 32 bits*
- *Bus d'adresses supportant 4 Go de MC*
- *Fréquence 8 Mhz (max 10 Mhz)*
- *un taux de transfert de 33 Mo/sec*
- *supporte plusieurs maîtres du bus*
- *configuration automatique des cartes*
- *Possibilité de partage des lignes d'IRQ entre cartes*



BUS PCI

- *Date 1993*
- *développé par Intel avec le soutien de IBM, NEC et Compaq*
- *Bus de données 32 bits (nouvelle version 64 bits développée)*
- *Bus d'adresses 32 bits*
- *Bus adresses et données multiplexées*
- *Bus synchrone (le proc peut continuer à travailler pendant que le bus PCI effectue son travail)*
- *Fréquence 33 Mhz (nouvelle version 66 Mhz)*
- *Bande passante 132 Mo / seconde (nouvelle version 264 Mo /sec)*
- *Configuration automatique des composants Plug & Play*

BUS AGP



- *Date 1997*
- *Basé sur le PCI version 2 (64 bits)*
- *Bus de données 32 bits*
- *Bus d'adresses 32 bits*
- *Bus adresses et données multiplexées*
- *Possibilité de gérer des accès direct à la mémoire centrale sans passer par le processeur*
- *Fréquence de 66 Mhz avec exploitation des fronts montant et descendant*
- *Bande passante :*
 - *264 Mo / seconde AGP 1x*
 - *528 Mo / seconde AGP 2x*
 - *1056 Mo / seconde AGP 4x*

BUS USB

- *spécification USB publiée en 1996*
- *consortium Compaq, Digital, IBM, Intel, Microsoft, NEC, et Northern Telecom*
- *interface permettant théoriquement la connexion de 127 périphériques en chaîne,*
- *taux de transfert de 12 Mbits/s soit environ 1,5 Mo/sec*
- *auto-identification des périphériques par le système*
- *Hot Plug : possibilité de brancher et débrancher ceux-ci à chaud*
- *Exploité pour le raccordement de :*
 - *claviers, souris, imprimantes,*
 - *appareils photo numériques,*
 - *manettes de jeu, etc.*
- *Version USB 2.0 en phase de développement et permettra de multiplier les performances de l'USB par 40, tout en assurant la compatibilité avec la norme USB 1.1 actuelle.*
- *Depuis 1996, tous les ordinateurs sont équipés en standard de ports USB*

BUS FIREWIRE – IEEE 1394

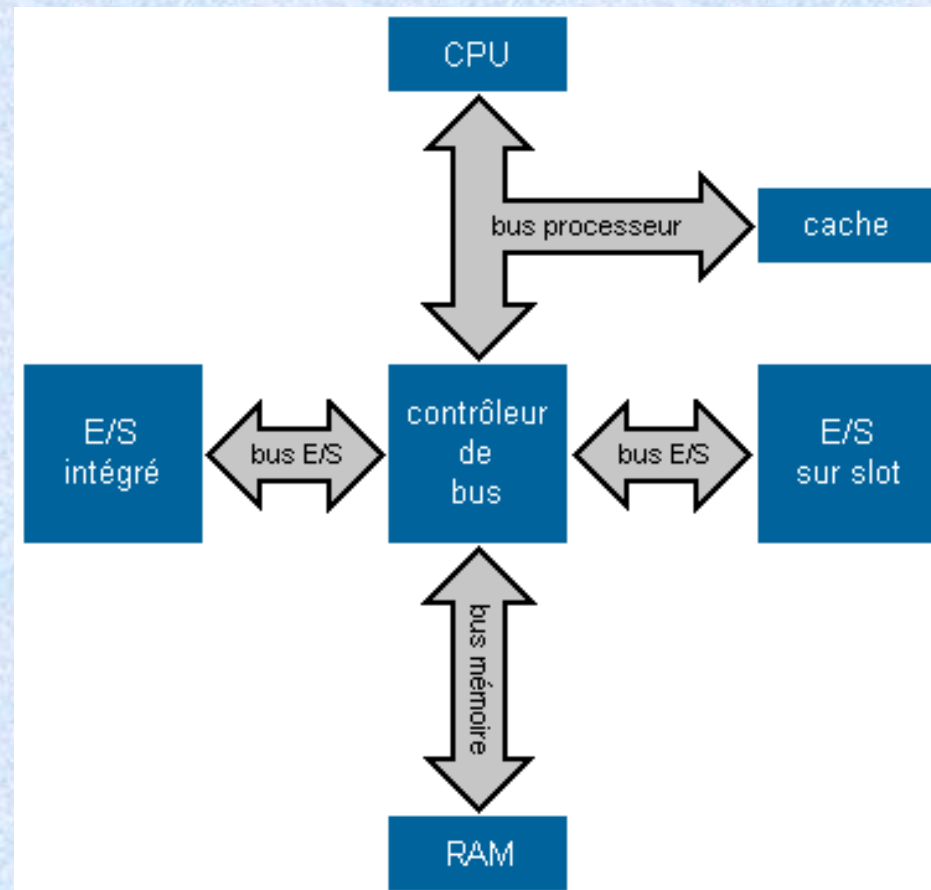


- Développé en 1995 en collaboration IEEE & Apple
- Bus numérique à haut débit (jusqu'à 400 Mbits/s),
- Connexion de 63 périphériques en chaîne.
- Plug & Play et Hot-Plug
- Destiné à la connexion de périphériques gros consommateurs de bande passante :
 - caméras et caméscopes numériques,
 - synthétiseurs audio,
 - lecteurs de disques à haut débit,
 - scanners et imprimantes d'imagerie professionnelle, etc.
- Connecteurs IEEE 1394
 - 6-pins (2 paires pour le transfert des data + 1 paire alimentation)
 - 4-pins (2 paires pour les data, pas de paire d'alimentation)

Comprendre l'évolution de l'architecture des cartes mères des PC

Première génération

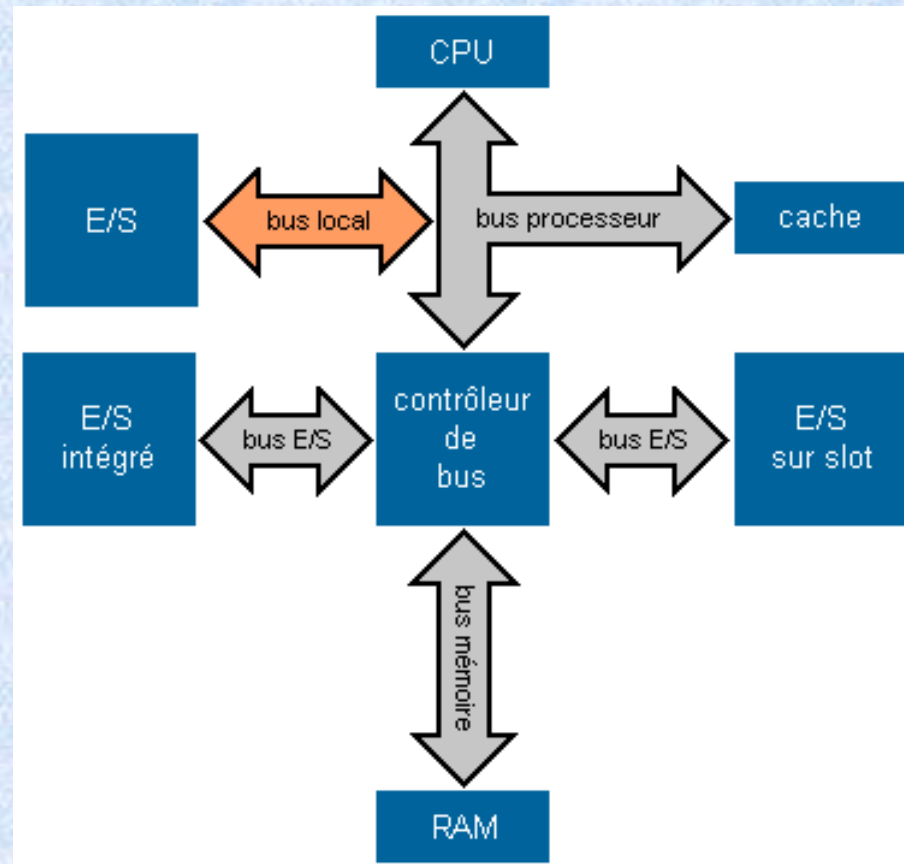
- Exploitation du bus ISA pour assurer l'interconnexion des différents éléments



Comprendre l'évolution de l'architecture des cartes mères des PC

Deuxième génération

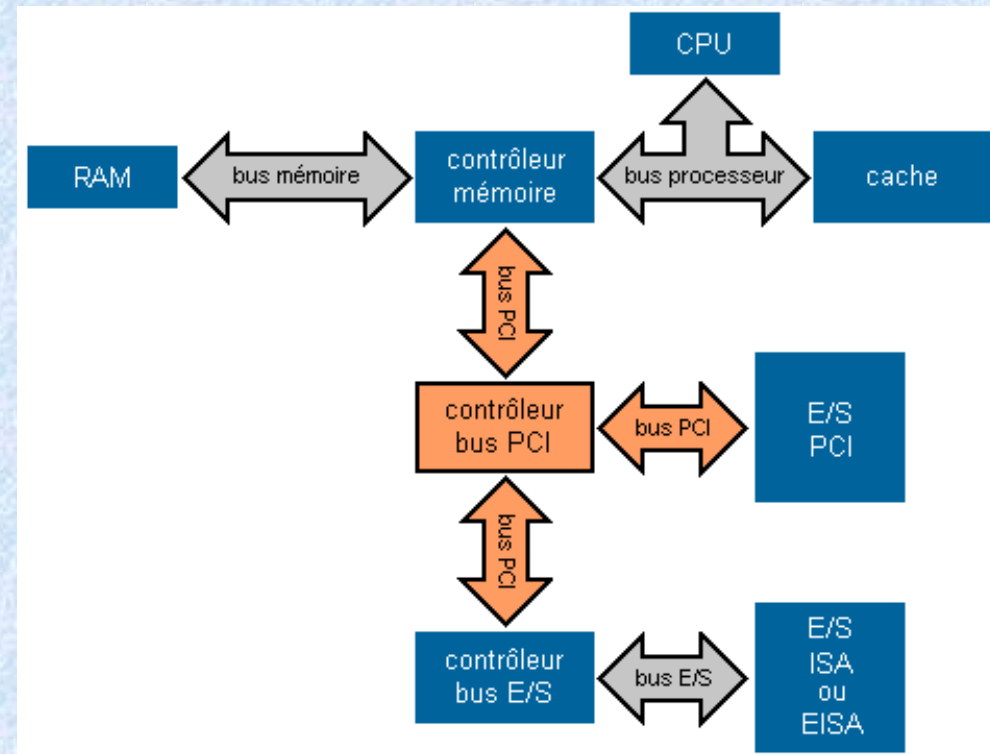
Exploitation des bus ISA et VLB pour améliorer la gestion des affichages en mode graphique



Comprendre l'évolution de l'architecture des cartes mères des PC

Troisième génération

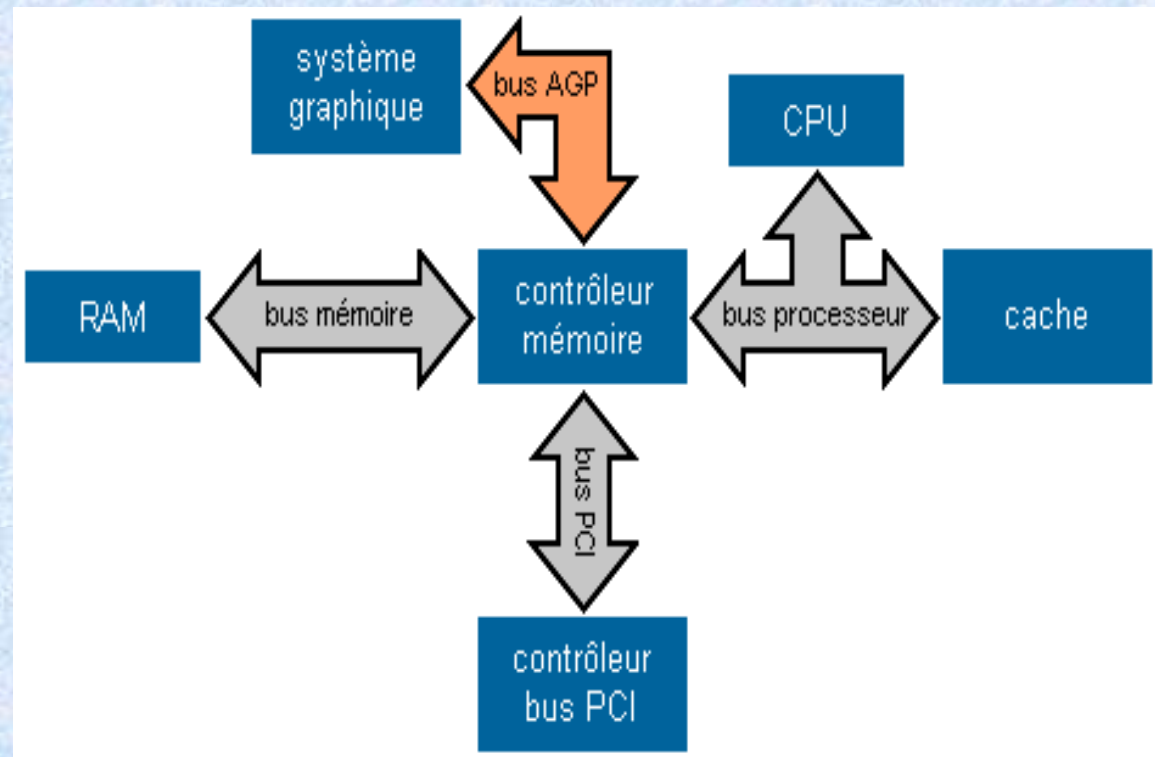
- Exploitation du bus ISA et du bus PCI même pour assurer la gestion des affichages



Comprendre l'évolution de l'architecture des cartes mères des PC

Quatrième génération

- Exploitation de plusieurs bus pour l'interconnexion des différents éléments



Comprendre le rôle d'un chipset

- Gère les accès et les transferts d'information entre équipements en s'appuyant sur les bus existants

